IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants:	Kitahara, et al.	
Serial No.	Not yet assigned	Group Art Unit: Not yet assigned
Filed:	April 2, 2004	Examiner: Not yet assigned
Title:	AUTOMATIC CIRCUIT DESIGN APPARATUS, METHOD FOR AUTOMATICALLY DESIGNING A CIRCUIT, AND COMPUTER PROGRAM PRODUCT FOR EXECUTING AN APPLICATION FOR AN AUTOMATIC CIRCUIT DESIGN APPARATUS	

EXPRESS MAIL NUMBER: EV 302280519 US DATE OF DEPOSIT: April 2, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.

Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NO.	MONTH/DAY/YEAR
Japan	P2003-370942	October 30, 2003

A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: April 2, 2004

By _____
Edward B. Weller
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office:

Date of Application: October 30, 2003

Application Number: P2003-370942
[ST.10/C]: [JP2003-370942]

Applicant(s): KABUSHIKI KAISHA TOSHIBA
TOSHIBA MICROELECTRONICS KABUSHIKI KAISHA

December 24, 2003

Commissioner:
Japan Patent Office Yasuo IMAI

Number of Certificate: 2003-3106715

S-895

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００３年１０月３０日

出願番号
Application Number: 特願２００３－３７０９４２

[ST. 10/C]: [ＪＰ２００３－３７０９４２]

出願人
Applicant(s): 株式会社東芝
東芝マイクロエレクトロニクス株式会社

２００３年１２月２４日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３１０６７１５

【書類名】　特許願
【整理番号】　ASB033089
【提出日】　平成15年10月30日
【あて先】　特許庁長官殿
【国際特許分類】　H01L 21/82
【発明者】
　【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内
　【氏名】　北原　健
【発明者】
　【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内
　【氏名】　山田　正昭
【発明者】
　【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内
　【氏名】　河邉　直之
【発明者】
　【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内
　【氏名】　金沢　正博
【発明者】
　【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内
　【氏名】　瀬田　克弘
【発明者】
　【住所又は居所】　神奈川県川崎市川崎区駅前本町２５番地１　東芝マイクロエレクトロニクス株式会社内
　【氏名】　古澤　敏行
【特許出願人】
　【識別番号】　000003078
　【氏名又は名称】　株式会社　東芝
【特許出願人】
　【識別番号】　000221199
　【氏名又は名称】　東芝マイクロエレクトロニクス株式会社
【代理人】
　【識別番号】　100083806
　【弁理士】
　【氏名又は名称】　三好　秀和
　【電話番号】　03-3504-3075
【選任した代理人】
　【識別番号】　100068342
　【弁理士】
　【氏名又は名称】　三好　保男
【選任した代理人】
　【識別番号】　100100712
　【弁理士】
　【氏名又は名称】　岩▲崎▼　幸邦

【選任した代理人】
　【識別番号】　100100929
　【弁理士】
　【氏名又は名称】　川又　澄雄
【選任した代理人】
　【識別番号】　100108707
　【弁理士】
　【氏名又は名称】　中村　友之
【選任した代理人】
　【識別番号】　100095500
　【弁理士】
　【氏名又は名称】　伊藤　正和
【選任した代理人】
　【識別番号】　100101247
　【弁理士】
　【氏名又は名称】　高橋　俊一
【選任した代理人】
　【識別番号】　100098327
　【弁理士】
　【氏名又は名称】　高松　俊雄
【手数料の表示】
　【予納台帳番号】　001982
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1

【書類名】特許請求の範囲
【請求項１】
通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、前記設計対象回路における仮想グラウンド線の上限電位を設定する設定部と、
前記回路情報、前記通常セル用セルライブラリ、及び前記低閾値セル用セルライブラリに基づきレイアウトを作成する配置配線部
とを備えることを特徴とする回路自動設計装置。

【請求項２】
前記上限電位を用いて前記低閾値セル用セルライブラリを作成するセルライブラリ作成部を更に備えることを特徴とする請求項１に記載の回路自動設計装置。

【請求項３】
前記配置配線部は、
前記通常セル用セルライブラリ、前記低閾値セル用セルライブラリ、及びタイミング制約に基づき、ネットリストに通常セル及び低閾値セルを配置して配置データを作成する配置部と、
前記配置データを配線処理して前記レイアウトを作成する配線部と、
前記仮想グラウンド線の電位が前記上限電位を超えた場合に前記仮想グラウンド線に接続するスイッチセルの構造を最適化するスイッチセル最適化部
とを備えることを特徴とする請求項２に記載の回路自動設計装置。

【請求項４】
前記設定部は、
前記仕様情報、前記上限電位、及び前記タイミング制約を取得するデータ取得部と、
前記低閾値セルのグラウンド端子の電位を前記上限電位に設定する上限電位設定部
とを備えることを特徴とする請求項３に記載の回路自動設計装置。

【請求項５】
前記設定部は、
前記仕様情報、前記タイミング制約、及び配線パラメータを取得するデータ取得部と、
前記仕様情報に基づき、前記通常セル及び前記低閾値セルのセル数を予測して各セルの許容遅延時間を算出するタイミング制約判定部と、
前記通常セル用セルライブラリとトランジスタ特性とに基づき、前記スイッチセルのオン抵抗を算出するオン抵抗算出部と、
前記配線パラメータ及び前記オン抵抗に基づき、前記低閾値セルの放電時間を算出し、前記放電時間から前記低閾値セルの遅延時間を算出する放電時間算出部と、
前記許容遅延時間と前記遅延時間とを比較して前記上限電位を算出する上限電位算出部と、
前記低閾値セルのグラウンド端子の電位を前記上限電位に設定する上限電位設定部
とを備えることを特徴とする請求項３に記載の回路自動設計装置。

【請求項６】
前記セルライブラリ作成部は、
前記低閾値セルの遅延時間を算出する遅延時間算出部と、
前記遅延時間に基づいて前記低閾値セル用セルライブラリを作成する低閾値セル用セルライブラリ作成部
とを備えることを特徴とする請求項２に記載の回路自動設計装置。

【請求項７】
追加回路の有無を判定し、前記通常セル用セルライブラリ及び前記低閾値セル用セルライブラリを用いて前記追加回路に対して前記レイアウトを作成する回路追加判定部と、
前記通常セル用セルライブラリ、前記低閾値セル用セルライブラリ、及び前記タイミング制約に基づき、前記レイアウトをタイミング解析するタイミング解析部と、
前記タイミング解析の結果に応じて前記レイアウトの一部修正の有無を判定する回路修正判定部
とを更に備えることを特徴とする請求項３に記載の回路自動設計装置。

【請求項８】
前記配置部は、
前記ネットリストに基づいてフリップフロップ及び前記通常セルを配置する通常セル配置部と、
前記タイミング制約を判定して前記タイミング制約を満たさない前記通常セルを前記低閾値セルに置換する低閾値セル配置部と、
前記仮想グラウンド線とグラウンドとの間に前記スイッチセルを配置するスイッチセル配置部と、
前記仮想グラウンド線を共有する前記低閾値セルと前記スイッチセルとの距離を短縮させる抵抗最小化部
とを備えることを特徴とする請求項３に記載の回路自動設計装置。

【請求項９】
前記配線部は、
前記フリップフロップに対してクロック配線をするクロック配線部と、
前記通常セル、前記低閾値セル、及び前記スイッチセルのそれぞれに対して配線処理をする一般配線部と、
段数の等しい前記低閾値セルに接続する前記仮想グラウンド線を他の段数に存在する前記低閾値セルに接続するように変更する仮想グラウンド線最適化部
とを備えることを特徴とする請求項８に記載の回路自動設計装置。

【請求項１０】
通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、前記設計対象回路における仮想グラウンド線の上限電位を設定するステップと、
前記回路情報、前記通常セル用セルライブラリ、及び前記低閾値セル用セルライブラリに基づきレイアウトを作成するステップ
とを含むことを特徴とする回路自動設計方法。

【請求項１１】
コンピュータに、
通常セル用セルライブラリ及び設計対象回路の仕様情報を取得して前記設計対象回路における仮想グラウンド線の上限電位を設定する手順と、
前記上限電位を用いて低閾値セル用セルライブラリを作成する手順と、
前記仕様情報を論理合成してネットリストを生成する手順と、
前記ネットリスト、前記通常セル用セルライブラリ、及び前記低閾値セル用セルライブラリに基づきレイアウトを作成する手順
とを実行させるための回路自動設計プログラム。

【書類名】明細書
【発明の名称】回路自動設計装置、回路自動設計方法及び回路自動設計プログラム
【技術分野】
【０００１】
本発明は、半導体集積回路の設計技術に関し、特に、ＣＭＯＳトランジスタのリーク電流を削減可能な回路を自動的に設計する回路自動設計装置、回路自動設計方法及び回路自動設計プログラムに関する。
【背景技術】
【０００２】
半導体集積回路の微細化及び電源電圧の低電圧化と比例して、トランジスタの閾値電圧の低化が進んでいる。トランジスタの閾値電圧低下により、ＣＭＯＳトランジスタのリーク電流が増大する。ＣＭＯＳトランジスタのリーク電流の増大は、消費電力量が制限される移動体通信機器等において深刻な問題となる。リーク電流の低減を目的として、論理回路を低閾値電圧トランジスタにより構成されるセル（以下において「低閾値セル」という。）により構成し、低閾値セルとグラウンドとの間にスイッチセルを配置する手法が提案されている（例えば、特許文献１参照。）。また、低閾値セルは高速動作可能であるため、パス遅延時間の短縮に大きな効果がある。
【０００３】
低閾値セルは高速動作可能であるが、微小な入力電圧でオンするためにリーク電流量が多い。これに対して通常のトランジスタにより構成されるセル（以下において「通常セル」という。）は低閾値トランジスタと比してリーク電流量が少ないが動作速度は遅い。スイッチセルはスタンバイ時にはオフ状態となり、低閾値セルからのリーク電流を遮断可能である。スイッチセルは通常動作時においてはオン状態となる。
【特許文献１】特開２００３－１０１３９７号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
通常動作時にグラウンド線に生じるリーク電流は、セルの出力信号が立ち下がる際に最大となる。よって、１つのスイッチセルに多数の低閾値セルが接続される場合、スイッチセルに大量の電流が流れ込む。スイッチセルに大量の電流が流れ込むと、スイッチセルのオン抵抗に起因してリーク電流の放電時間が増加する。この結果、スイッチセルに接続された低閾値セルの出力信号が急峻に立ち下がらず、低閾値セルの遅延時間が増大する。したがって、低閾値セルの放電時間増加に起因する遅延時間（以下において「放電遅延」という。）を考慮したパス遅延解析が必要であった。放電遅延を考慮した遅延時間解析は、通常の回路の遅延解析と比して処理時間が増大する。或いは、スイッチセル面積を増加させることにより放電時間を短縮可能であるが、設計された回路の回路規模が増大する。
【０００５】
上記問題点を鑑み、本発明は、小回路規模且つ低消費電力動作可能な半導体集積回路を短期間で設計可能な回路自動設計装置、回路自動設計方法及び回路自動設計プログラムを提供することを目的とする。
【課題を解決するための手段】
【０００６】
上記目的を達成する為に、本発明の第１の特徴は、（イ）通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、設計対象回路における仮想グラウンド線の上限電位を設定する設定部；（ロ）回路情報、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する配置配線部を備える回路自動設計装置であることを要旨とする。
【０００７】
本発明の第２の特徴は、（イ）通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び設計対象回路の回路情報を取得し、設計対象回路における仮想グラウンド線の上

限電位を設定するステップ；（ロ）回路情報、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成するステップを含む回路自動設計方法であることを要旨とする。

【０００８】

本発明の第３の特徴は、コンピュータに、（イ）通常セル用セルライブラリ及び設計対象回路の仕様情報を取得して設計対象回路における仮想グラウンド線の上限電位を設定する手順；（ロ）上限電位を用いて低閾値セル用セルライブラリを作成する手順；（ハ）仕様情報を論理合成してネットリストを生成する手順；（ニ）ネットリスト、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する手順を実行させるための回路自動設計プログラムであることを要旨とする。

【発明の効果】

【０００９】

本発明によれば、小回路規模且つ低消費電力動作可能な半導体集積回路を短期間で設計可能な回路自動設計装置、回路自動設計方法及び回路自動設計プログラムを提供できる。

【発明を実施するための最良の形態】

【００１０】

次に、図面を参照して、本発明の第１～第３の実施の形態を説明する。この実施の形態における図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【００１１】

（第１の実施の形態）

本発明の第１の実施の形態に係る回路自動設計装置１ａは、図１に示すように、処理装置１０ａ、処理装置１０ａに接続された入力装置４１、出力装置４２、補助記憶装置４３、主記憶装置４４、及びデータ記憶装置３０ａを備える。処理装置１０ａは、設定部２ａ、セルライブラリ作成部３、論理合成部４、及び配置配線部５ａ、及びタイミング解析部６を備える。設定部２ａは、通常セル用セルライブラリ及び設計対象回路の仕様情報を取得し、設計対象回路における仮想グラウンド線の上限電位を設定する。ここで「仕様情報」とは、例えばレジスタトランスファレベル（ＲＴＬ）設計段階においてハードウェア記述言語（ＨＤＬ）等を用いて記述された論理式等を意味する。セルライブラリ作成部３は、上限電位を用いて低閾値セル用セルライブラリを作成する。「低閾値セル」とは、通常セル内のトランジスタと比して低閾値電圧のトランジスタで構成されたセルであることを意味する。「セルライブラリ」とは、例えば、各セルの遅延時間等のパラメータ及びレイアウトのデータを有する情報であることを意味する。

【００１２】

また、論理合成部４は仕様情報を論理合成してネットリストを生成する。配置配線部５ａはネットリスト、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する。タイミング解析部６は通常セル用セルライブラリ、低閾値セル用セルライブラリ、及びタイミング制約に基づき、レイアウトをタイミング解析する。

【００１３】

更に、設定部２ａは図２に示すように、データ取得部２１ａ及び上限電位設定部２２を備える。データ取得部２１ａは仕様情報、上限電位、及びタイミング制約を取得する。上限電位設定部２２は低閾値セルのグラウンド端子の上限電位を取得した上限電位に設定する。

【００１４】

セルライブラリ作成部３は、図３に示すように遅延時間算出部３１及び低閾値セル用セルライブラリ作成部３２を備える。遅延時間算出部３１は低閾値セルの遅延時間を算出する。低閾値セル用セルライブラリ作成部３２は算出された遅延時間に基づいて低閾値セル用セルライブラリを作成する。

【００１５】

また、配置配線部５ａは、図４に示すように、配置部５１、配線部５２、及びスイッチ

セル最適化部５３を備える。配置部５１は、通常セル用セルライブラリ、低閾値セル用セルライブラリ、及びタイミング制約に基づき、ネットリストに通常セル及び低閾値セルを配置する。配線部５２は配置データを配線処理してレイアウトを作成する。スイッチセル最適化部５３は、仮想グラウンド線の電位が上限電位を超えた場合に仮想グラウンド線に接続するスイッチセルの構造を最適化する。ここで「最適化」とは、例えばスイッチセル面積の増大及びスイッチセル数の増加等を意味する。

【００１６】

更に配置部５１は、通常セル配置部５１ａ、低閾値セル配置部５１ｂ、及びスイッチセル配置部５１ｃを備える。通常セル配置部５１ａは、ネットリストに基づいてフリップフロップ（Ｆ／Ｆ）及び通常セルを配置する。低閾値セル配置部５１ｂは、タイミング制約を判定してタイミング制約を満たさない通常セルを低閾値セルに置換する。スイッチセル配置部５１ｃは、仮想グラウンド線とグラウンドとの間にスイッチセルを配置する。尚、スイッチセル配置部５１ｃは、通常セルの入力に出力が接続される低閾値セルと高位電源との間にホルダーセルを配置する。

【００１７】

これに対して配線部５２は、クロック配線部５２ａ及び一般配線部５２ｂを備える。クロック配線部５２ａは、Ｆ／Ｆに対してクロック配線をする。一般配線部５２ｂは通常セル、低閾値セル、及びスイッチセルのそれぞれに対して配線処理をする。

【００１８】

一方、図１に示すデータ記憶装置３０ａは、図５に示すように、仕様情報格納領域３１０、タイミング制約格納領域３２０、上限電位格納領域３３０ａ、第１セルライブラリ格納領域３４０、第２セルライブラリ格納領域３５０、ネットリスト格納領域３６０、配置データ格納領域３７０、レイアウト格納領域３８０、及び配線パラメータ格納領域３９０を備える。

【００１９】

仕様情報格納領域３１０には、設計対象回路の仕様情報が予め格納される。タイミング制約格納領域３２０には、設計対象回路のタイミング制約が予め格納される。上限電位格納領域３３０ａには、仮想グラウンド線の上限電位のデータが予め格納される。第１セルライブラリ格納領域３４０には、通常セル用セルライブラリが予め格納される。第２セルライブラリ格納領域３５０には、図３に示す低閾値セル用セルライブラリ作成部３２が作成する低閾値セル用セルライブラリが格納される。ネットリスト格納領域３６０には、図１に示す論理合成部４が作成するゲートレベルのネットリストが格納される。或いは、ネットリストは予めネットリスト格納領域３６０に格納されている。配置データ格納領域３７０には、図４に示す配置部５１が作成する配置データが格納される。レイアウト格納領域３８０には、図４に示す配線部５２が作成するレイアウト結果が格納される。配線パラメータ格納領域３９０には、設計対象回路に用いる配線の配線容量及び配線抵抗等のパラメータが格納される。但し、データ記憶装置３０ａに格納される情報は、図１に示す補助記憶装置４３に含まれる構成でも良い。

【００２０】

尚、図１に示す回路自動設計装置１ａは、図示を省略するデータベース制御装置及び入出力制御装置を備える。データベース制御装置は、データ記憶装置３０ａに対して必要なファイルの格納場所を検索し、読み出し及び書き込みを行う。これに対して入出力制御装置は、入力装置４１からのデータを受け取り、処理装置１０ａに伝達する。即ち入出力制御装置は、入力装置、出力装置、或いはＣＤ－ＲＯＭ、光磁気ディスク（ＭＯ）、フレキシブルディスク等の補助記憶装置の読取装置等を処理装置１０ａに接続するインターフェイスである。データの流れから見ると、入出力制御装置は、入力装置４１、出力装置４２、補助記憶装置４３、及び外部記憶装置の読取装置と主記憶装置４４とのインターフェイスとなる。また入出力制御装置は、処理装置１０ａからのデータを受け取り、出力装置４２及び補助記憶装置４３等へ伝達する。

【００２１】

更に、図１に示す入力装置４１としては、例えば、キーボード、マウス、光学式文字読取装置（ＯＣＲ）等の認識装置、イメージスキャナ等の図形入力装置、及び音声認識装置等の特殊入力装置が使用できる。出力装置４２としては、例えば、液晶ディスプレイ、ＣＲＴディスプレイ等の表示装置、インクジェットプリンタ、レーザープリンタなどの印刷装置が使用できる。主記憶装置４４には、ＲＯＭ及びＲＡＭが組み込まれている。ＲＯＭは、処理装置１０ａにおいて実行されるプログラムを格納するプログラム記憶装置等として機能する。これに対してＲＡＭは、処理装置１０ａにおけるプログラム実行処理中に利用されるデータ等を一時的に格納したり、作業領域として利用される一時的なデータメモリ等として機能する。

【００２２】

次に図１～図８を用いて、第１の実施の形態に係る回路自動設計方法を説明する。第１の実施の形態に係る回路自動設計方法の説明においては、図７に示す論理回路を自動設計する場合を例に説明する。図７に示す論理回路は、Ｆ／Ｆ１１ａ～１１ｆ、否定論理積（ＮＡＮＤ）回路２１０ａ～２１０ｄ、インバータ２２０ａ～２２０ｃ、及びスイッチセル２３０を備える。ＮＡＮＤ回路２１０ａ、２１０ｄ、及びインバータ２２０ｂは低閾値セルとして構成されている。尚、スイッチセル２３０は、仮想グラウンド線７０にドレインが接続され、スイッチ端子９０にゲートが接続され、グラウンドＧＮＤにソースが接続されたスイッチセルＴｒ１を備える。スイッチセルＴｒ１は通常動作時において、スイッチ端子９０を介して伝達されるイネーブル信号によりオン状態となる。図７に示すＮＡＮＤ回路２１０ａは図８に示すように、入力端子２１１ａ、２１１ｂ、スイッチセルＴｒ４～Ｔｒ７、出力端子２１１ｃ、及びグラウンド端子２１１ｄを備える２入力ＮＡＮＤ回路である。また、図７に示すインバータ２２０ｂは図８に示すように、入力端子２２１ａ、スイッチセルＴｒ８、Ｔｒ９、出力端子２２１ｂ、及びグラウンド端子２２１ｃを備えるＣＮＯＳインバータである。

【００２３】

（イ）先ず、図６のステップＳ１２１において、図２に示すデータ取得部２１ａは、図５に示す仕様情報格納領域３１０に格納された設計対象回路の仕様情報を取得する。更に、データ取得部２１ａは、タイミング制約格納領域３２０、上限電位格納領域３３０ａ、及び第１セルライブラリ格納領域３４０のそれぞれから設計対象回路のタイミング制約、仮想グラウンド線の上限電位データ、及び通常セル用セルライブラリを取得する。データ取得部２１ａが取得した上限電位データは図２に示す上限電位設定部２２に供給される。また、データ取得部２１ａが取得した回路の仕様情報は上限電位設定部２２及び論理合成部４に供給され、タイミング制約は図１に示す論理合成部４及びタイミング解析部６、図９に示す低閾値セル配置部５１ｂ及びスイッチセル最適化部５３に供給される。通常セル用セルライブラリはタイミング解析部６及び図４に示す通常セル配置部５１ａに供給される。

【００２４】

（ロ）次に、ステップＳ１２２において、上限電位設定部２２は、上限電位データ及び仕様情報を用いて、図７に示す仮想グラウンド線７０の上限電位を設定する。この結果、例えば図８に示す低閾値セル、即ちＮＡＮＤ回路２１０ａ及びインバータ２２０ｂのそれぞれのグラウンド端子２１１ｄ、２２１ｃの電位が上限電位に設定される。尚、論理合成が実行されていないため、図７及び図８に示すＦ／Ｆ１１ａ～１１ｆ、ＮＡＮＤ回路２１０ａ～２１０ｄ、インバータ２２０ａ～２２０ｃ、及びスイッチセル２３０はこの段階では存在しない。

【００２５】

（ハ）次に、ステップＳ１３１において、図３に示す遅延時間算出部３１は、低閾値セルの遅延時間を算出する。遅延時間算出部３１は、例えば図８においては、グラウンド端子２１１ｄ、２２１ｃに設定された電位に基づいて、ＮＡＮＤ回路２１０ａ及びインバータ２２０ｂのそれぞれの遅延時間を算出する。実際には遅延時間算出部３１は、インバータ、論理積（ＡＮＤ）回路、論理和（ＯＲ）回路、ＮＡＮＤ回路、否定論理和（ＮＯＲ）

回路、及び排他的論理和（ＥＯＲ）回路等のすべての通常セル用セルライブラリに対応する低閾値セル用セルライブラリの遅延時間を算出する。

【００２６】

（ニ）次に、ステップＳ１３２において、図３に示す低閾値セル用セルライブラリ作成部３２は、遅延時間算出部３１が算出した遅延時間に応じて低閾値セル用セルライブラリを作成する。低閾値セル用セルライブラリは図５に示す第２セルライブラリ格納領域３５０に格納される。尚、低閾値セル用セルライブラリが予め用意されている場合には、ステップＳ１３１及びステップＳ１３２は不要である。更にステップＳ１０４において、図１に示す論理合成部４は仕様情報を論理合成する。この結果、例えば図７に示すゲートレベルのネットリストが生成される。論理合成部４が生成したネットリストは図５に示すネットリスト格納領域３６０に格納される。但し、ネットリストが予め用意されている場合には、ステップＳ１０４は不要である。

【００２７】

（ホ）次に、ステップＳ１５１において、図４に示す通常セル配置部５１ａは、ネットリストに基づいて通常セルを配置する。この結果、図７に示すＮＡＮＤ回路２１０ａ～２１０ｄ及びインバータ２２０ａ～２２０ｃが通常セルとして配置される。更にステップＳ１５２において、図４に示す低閾値セル配置部５１ｂは、ステップＳ１５１の結果に対してタイミング制約を満たすか否か判定する。例えばクリティカルパス、即ちＦ／Ｆ１１ａとＦ／Ｆ１１ｆとの間のパスがタイミング制約を満たさないと判断された場合、ＮＡＮＤ回路２１０ａ、２１０ｄ及びインバータ２２０ｂを低閾値セルに置換する。またステップＳ１５３において、図４に示すスイッチセル配置部５１ｃは、低閾値セル、即ちＮＡＮＤ回路２１０ａ、２１０ｄ及びインバータ２２０ｂに対してスイッチセル２３０を配置して割り付ける。尚、図７に示す回路例においては、近くに存在する複数の低閾値セルからなる低閾値セル群、即ちＮＡＮＤ回路２１０ａ、２１０ｄ、及びインバータ２２０ｂに１つのスイッチセル２３０が接続されている。この結果配置データが生成され、配置データは図５に示す配置データ格納領域３７０に格納される。

【００２８】

（ヘ）次に、ステップＳ１６１において、図４に示すクロック配線部５２ａは、例えば図７に示すＦ／Ｆ１１ａ～１１ｆに対してクロック配線をする。更にステップＳ１６２において、図４に示す一般配線部５２ｂは、例えばＮＡＮＤ回路２１０ａ～２１０ｄ、インバータ２２０ａ～２２０ｃ、及びスイッチセル２３０のそれぞれに対して一般配線をする。この結果レイアウトが作成され、レイアウトは図５に示すレイアウト格納領域３８０に格納される。

【００２９】

（ト）次に、ステップＳ１０７において、図４に示すスイッチセル最適化部５３は、仮想グラウンド線７０の電位が上限電位を超えた場合、スイッチセル２３０の構造を最適化する。配線後においては、仮想グラウンド線７０を含む各配線の実抵抗値や実容量値が得られるので、精度の高い仮想グラウンド線７０の電位上昇解析及びスイッチセル最適化が実行される。

【００３０】

（チ）次に、ステップＳ１０８において、図１に示すタイミング解析部６は、通常セル用セルライブラリ、低閾値セル用セルライブラリ、及び配線パラメータに基づき、レイアウト格納領域３７０に格納されたレイアウトに対してタイミング解析を実行する。図７においては、配線２４０ａ、２４０ｂ、２４０ｃ、及び２４０ｄのそれぞれの遅延時間をT_wire1、T_wire2、T_wire3、及びT_wire4、ＮＡＮＤ回路２１０ａ及び２１０ｄのそれぞれの遅延時間をT_nand1及びT_nand2、及びインバータ２２０ｂの遅延時間をT_notとすると、パス遅延時間Ｔｄｅｌａｙは：

$$Tdelay=T_wire1+T_nand1+T_wire2+T_not+T_wire3+T_nand2+T_wire4 \quad \cdots\cdots (1)$$

となる。タイミング解析が終了すると回路自動設計処理が終了する。

【００３１】

式（１）を見ると、セルライブラリ作成の前に仮想グラウンド線の上限電位を設定することにより、タイミング解析時において放電遅延を個別に考慮したパス遅延解析を実行する必要が無いことが分かる。放電遅延を個別に考慮したパス遅延解析は長時間を要する。このように第１の実施の形態によれば、タイミング解析の所要時間を短縮できる。更に、仮想グラウンド線の電位が上限電位を超える場合にのみスイッチセル構造を最適化することにより、スイッチセル面積の増加を最小限に抑え、設計された回路全体の回路規模を削減できる。

【００３２】

（第１の実施の形態の第１の変形例）

第１の実施の形態の第１の変形例に係る回路自動設計装置として、図９に示すように、配置部５１０が、仮想グラウンド線を共有する低閾値セルとスイッチセルとの距離を短縮させる抵抗最小化部５１０ａを更に備える構成でも良い。即ち、抵抗最小化部５１０ａは、仮想グラウンド線を共有する低閾値セルとスイッチセルとの距離を短縮させることにより、仮想グラウンド線の配線抵抗及び配線容量を最小化する。尚、配置段階では仮想グラウンド線を含む各配線は存在しないので、抵抗最小化部５１０ａは仮想見積もりにより各配線の抵抗値及び容量値を算出する。

【００３３】

例えば、図１０に示す仮想グラウンド線７０に接続されたＮＡＮＤ回路２１０ａ、２１０ｄ、及びインバータ２２０ｂにおいて、ＮＡＮＤ回路２１０ａ、２１０ｄ、及びインバータ２２０ｂのそれぞれの出力信号が同時に立ち下がる際に放電電流Ｉ１、Ｉ２、及びＩ３の総和が最大となる。仮想グラウンド線の配線抵抗が大きいと放電電流Ｉ１、Ｉ２、及びＩ３がスイッチセル２３０に流れにくくなる。放電電流Ｉ１、Ｉ２、及びＩ３がスイッチセル２３０に流れにくくなると、ＮＡＮＤ回路２１０ａ、２１０ｄ、及びインバータ２２０ｂのそれぞれの放電遅延が増大する。

【００３４】

よって、例えば図１１に示す回路例においては、抵抗最小化部５１０ａは、ＡＮＤ回路８１ａ、８１ｄ、インバータ８３ａ、８３ｂ、及びＯＲ回路８２ａと、スイッチセルＴｒ１０との距離を短縮させる。更に抵抗最小化部５１０ａは、ＡＮＤ回路８１ｂ、８１ｃ、８１ｅ、及びＯＲ回路８２ｂ、８２ｃと、スイッチセルＴｒ１１との距離を短縮させる。この結果、仮想グラウンド線７００及び７０１のそれぞれの配線抵抗が低減される。仮想グラウンド線の配線抵抗を低減できるので、放電遅延の増加を防止できる。

【００３５】

（第１の実施の形態の第２の変形例）

第１の実施の形態の第２の変形例に係る回路自動設計装置として、図１２に示すように、配線部５２１が、段数の等しい低閾値セルに接続する仮想グラウンド線を他の段数に存在する低閾値セルに接続するように変更する仮想グラウンド線最適化部５２２を更に備える構成でも良い。

【００３６】

図１３に示す論理回路においては、ＡＮＤ回路１３ａ、ＯＲ回路１４ｂ、及びＮＡＮＤ回路１５ｂは初段に配置され、互いに同期して演算を行う。また、ＯＲ回路１４ａ、ＡＮＤ回路１３ｂ及び１３ｃは２段目に配置され、互いに同期して演算を行う。ＮＡＮＤ回路１５ａ、インバータ１６、及びＮＯＲ回路１７が３段目に配置され、互いに同期して演算を行う。更に、図１３に示す論理回路においては、Ｆ／Ｆ１２ａ～１２ｈ、スイッチセルＴｒ１２～Ｔｒ１５、及びスイッチ端子９０～９３が配置されている。

【００３７】

互いに同期して演算を行うセル群、即ちＡＮＤ回路１３ａ、ＯＲ回路１４ｂ、及びＮＡＮＤ回路１５ｂは同時放電を生じ易いため、仮想グラウンド線７０ａの電位増加が生じる。これに対して仮想グラウンド線７０ｂ、７０ｃ、及び７０ｄは、段数の異なるセルに接

続されているため電位上昇は生じにくい。図１２に示す仮想グラウンド線最適化部５２２は、図１４に示すように、仮想グラウンド線７０ｅを他の段数に存在する低閾値セル、即ちＡＮＤ回路１３ａ、１３ｂ、及びＮＯＲ回路１７に接続するように変更する。したがって、図１３に示す仮想グラウンド線７０ａに生じる電位上昇を防止できる。

【００３８】

（第２の実施の形態）

本発明の第２の実施の形態に係る回路自動設計装置として、図１５に示すように、設定部２００が、タイミング制約判定部２０２、オン抵抗算出部２０３、放電時間算出部２０４、及び上限電位算出部２０５を更に備える構成でも良い。また、データ取得部２１ｂは、仕様情報、タイミング制約、及び配線パラメータを取得する。

【００３９】

更に、タイミング制約判定部２０２は、仕様情報に基づき、通常セル及び低閾値セルのセル数を予測して各セルの許容遅延時間を算出する。オン抵抗算出部２０３は、通常セル用セルライブラリとトランジスタ特性に基づき、スイッチセルのオン抵抗を算出する。放電時間算出部２０４は、配線パラメータ及びオン抵抗に基づき、低閾値セルの放電時間を算出し、放電時間から低閾値セルの遅延時間を算出する。上限電位算出部２０５は、許容遅延時間と遅延時間とを比較して上限電位を算出する。

【００４０】

また、データ記憶装置３０ｂが、図１６に示すように、許容遅延時間格納領域４００、オン抵抗格納領域４１０、及び低閾値セル遅延時間格納領域４２０を更に備える点が図５に示すデータ記憶装置３０ａと異なる。許容遅延時間格納領域４００には、タイミング制約判定部２０２が算出した許容遅延時間が格納される。オン抵抗格納領域４１０には、オン抵抗算出部２０３が算出したオン抵抗が格納される。低閾値セル遅延時間格納領域４２０には、放電時間算出部２０４が算出した低閾値セルの遅延時間が格納される。上限電位格納領域３３０ｂには、上限電位算出部２０５が算出した上限電位が格納される。その他の構成については、図１に示す回路自動設計装置１ａの構成と同様である。

【００４１】

次に、図１５～図１７を用いて、第２の実施の形態に係る回路自動設計方法を説明する。但し、第１の実施の形態に係る回路自動設計方法と重複する説明は省略する。

【００４２】

（イ）先ず、図１７のステップＳ１２１において、図１５に示すデータ取得部２１ｂは、図１６に示す仕様情報格納領域３１０、タイミング制約格納領域３２０、及び配線パラメータ格納領域３９０のそれぞれから仕様情報、タイミング制約、及び配線パラメータを取得する。

【００４３】

（ロ）次に、図１７のステップＳ２０１において、図１５に示すタイミング制約判定部２０２は、仕様情報に基づき、通常セル及び低閾値セルのセル数を予測して各セルの許容遅延時間を算出する。

【００４４】

（ハ）次に、ステップＳ２０２において、オン抵抗算出部２０３は、通常セル用セルライブラリとトランジスタ特性に基づき、スイッチセルのオン抵抗を算出する。

【００４５】

（ニ）次に、ステップＳ２０３において、放電時間算出部２０４は、配線パラメータ及び算出されたオン抵抗に基づき、低閾値セルの放電時間を算出する。更に、放電時間算出部２０４は算出された低閾値セルの放電時間から低閾値セルの遅延時間を算出する。

【００４６】

（ホ）次に、ステップＳ２０４において、上限電位算出部２０５は、ステップＳ２０１で算出された各セルの許容遅延時間とステップＳ２０３で算出された低閾値セルの遅延時間とを比較して、仮想グラウンド線の上限電位を算出する。

【００４７】

このように、第２の実施の形態によれば、仮想グラウンド線の上限電位を適切な電位に設定できる。したがって、低閾値セル用セルライブラリを高精度に作成できるので、仮想グラウンド線の電位が上限電位を超えることを防止できる。

【００４８】

（第３の実施の形態）

本発明の第３の実施の形態に係る回路自動設計装置１ｂは、図１８に示すように、処理装置１０ｂが、回路修正判定部７及び回路追加判定部８を更に備える点が図１に示す処理装置１０ａと異なる。回路修正判定部７は、タイミング解析の結果に応じてレイアウトの一部を修正するか否か判定する。回路追加判定部８は追加回路の有無を判定し、通常セル用セルライブラリ及び低閾値セル用セルライブラリを用いて追加回路に対してレイアウトを作成する。その他の構成については、図１に示す回路自動設計装置１ａの構成と同様である。

【００４９】

次に、図１８及び図１９を用いて、第３の実施の形態に係る回路自動設計方法を説明する。但し、第１の実施の形態に係る回路自動設計方法と重複する説明は省略する。

【００５０】

（イ）図１９のステップＳ１０９において、図１８に示す回路修正判定部７はステップＳ１０８の結果に応じてレイアウトを一部修正するか否か判定する。レイアウトを一部修正すると判定された場合、ステップＳ１０７に処理が戻る。レイアウトを一部修正しないと判定された場合、ステップＳ１１０に進む。

【００５１】

（ロ）次に、ステップＳ１１０において、追加回路の有無を判定する。追加回路が有ると判定された場合ステップＳ１５１に戻り、通常セル用セルライブラリ及び低閾値セル用セルライブラリを用いて追加回路に対してレイアウトが作成される。追加回路が無いと判定された場合は処理が終了する。

【００５２】

このように第３の実施の形態によれば、タイミング解析でタイミング制約を満たさない場合にスイッチセルの構造を最適化することによりタイミング制約を満たすことができる。更に、追加回路の有無を判定することにより、既に作成された低閾値セル用セルライブラリを用いてレイアウトを作成できる。

【００５３】

（その他の実施の形態）

上記のように、本発明は第１～第３の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【００５４】

上述した第１～第３の実施の形態においては、図３に示す低閾値セル用セルライブラリ作成部３２が通常セル用セルライブラリに対応する低閾値セル用セルライブラリを作成するとして説明した。しかし、低閾値セル用セルライブラリ作成部３２は使用頻度の高い一部のセルに対してのみ低閾値用セルライブラリを作成しても良い。

【００５５】

また、第１～第３の実施の形態においては、図４に示すスイッチセル最適化部５３が、配線処理後にスイッチセルの構造を最適化する一例を説明したが、配置処理後にスイッチセルの構造を最適化しても良い。或いは、スイッチセル最適化部５３は、配置処理後及び配線処理後のそれぞれにおいてスイッチセルの構造を最適化しても良い。

【００５６】

更に、第１～第３の実施の形態においては、図４に示すスイッチセル配置部５１ｃが、近くに存在する複数の低閾値セルからなる低閾値セル群に１つのスイッチセルを接続する一例を説明した。しかし、スイッチセル配置部５１ｃは、１つの低閾値セルに対して１つのスイッチセルを配置しても良い。また、スイッチセル配置部５１ｃは、低閾値セル群が

１つの仮想グラウンド線を共有し、１つの仮想グラウンド線に複数個のスイッチセルを配置しても良い。

【００５７】

このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【図面の簡単な説明】

【００５８】

【図１】第１の実施の形態に係る回路自動設計装置の構成を示すブロック図である。

【図２】第１の実施の形態に係る設定部の構成を示すブロック図である。

【図３】第１の実施の形態に係るセルライブラリ作成部の構成を示すブロック図である。

【図４】第１の実施の形態に係る配置配線部の構成を示すブロック図である。

【図５】第１の実施の形態に係るデータ記憶装置の構成を示すブロック図である。

【図６】第１の実施の形態に係る回路自動設計方法を示すフローチャートである。

【図７】第１の実施の形態に係る回路自動設計方法を説明するための論理回路の回路ブロック図である。

【図８】図７に示す論理回路の一部分の内部回路の構成を示す回路図である。

【図９】第１の実施の形態の第１の変形例に係る配置配線部の構成を示すブロック図である。

【図１０】第１の実施の形態の第１の変形例に係る配置配線部の機能を説明するための回路ブロック図である。

【図１１】第１の実施の形態の第１の変形例に係る配置配線部の機能を説明するための回路ブロック図である。

【図１２】第１の実施の形態の第２の変形例に係る配置配線部の構成を示すブロック図である。

【図１３】第１の実施の形態の第２の変形例に係る配置配線部の機能を説明するための回路ブロック図である（その１）。

【図１４】第１の実施の形態の第２の変形例に係る配置配線部の機能を説明するための回路ブロック図である（その２）。

【図１５】第２の実施の形態に係る設定部の構成を示すブロック図である。

【図１６】第２の実施の形態に係るデータ記憶装置の構成を示すブロック図である。

【図１７】第２の実施の形態に係る回路自動設計方法を示すフローチャートである。

【図１８】第３の実施の形態に係る回路自動設計装置の構成を示すブロック図である。

【図１９】第３の実施の形態に係る回路自動設計方法を示すフローチャートである。

【符号の説明】

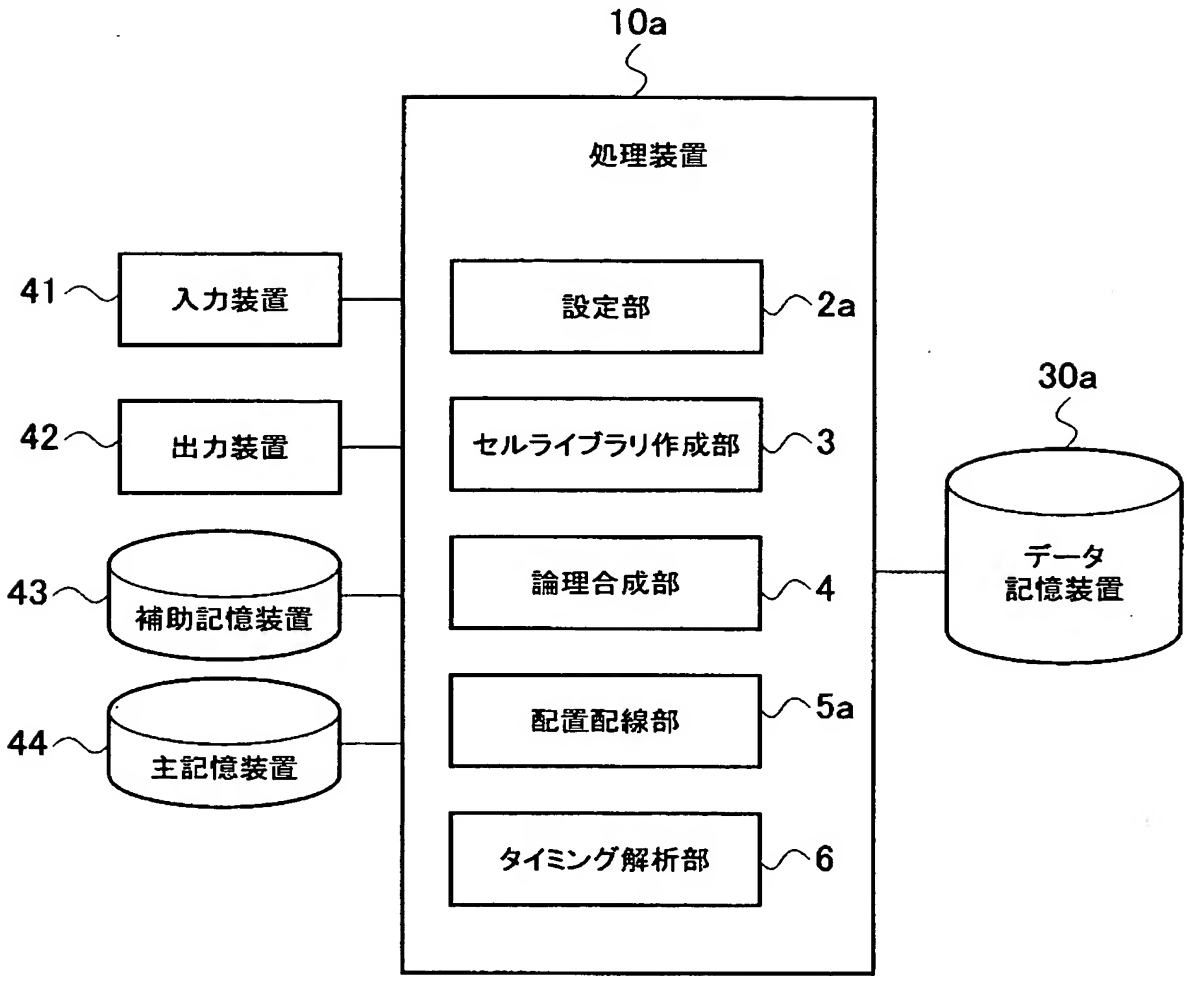
【００５９】

１ａ、１ｂ…回路自動設計装置
２ａ、２００…設定部
３ａ…セルライブラリ作成部
４…論理合成部
５ａ…配置配線部
６…タイミング解析部
７…回路修正判定部
８…回路追加判定部
１０ａ、１０ｂ…処理装置
１３ａ～１３ｃ、８１ａ～８１ｅ…ＡＮＤ回路
１４ａ、１４ｂ、８２ａ～８２ｃ…ＯＲ回路
１５ａ、１５ｂ、２１０ａ～２１０ｄ…ＮＡＮＤ回路

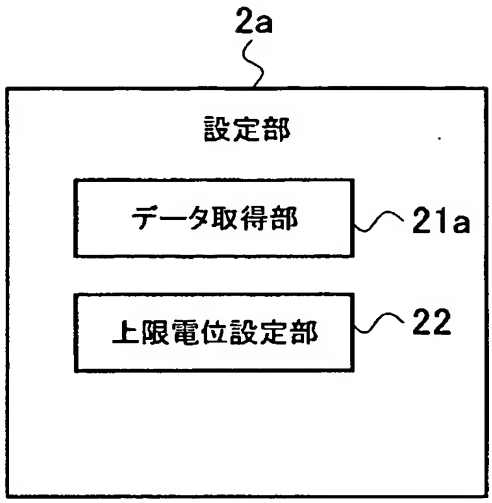
１６、８３ａ、８３ｂ…インバータ
１７…ＮＯＲ回路
２１ａ、２１ｂ…データ取得部
２２…上限電位設定部
３０ａ、３０ｂ…データ記憶装置
３１…遅延時間算出部
３２…低閾値セル用セルライブラリ作成部
４１…入力装置
４２…出力装置
４３…補助記憶装置
４４…主記憶装置
５１、５１０…配置部
５１ａ…通常セル配置部
５１ｂ…低閾値セル配置部
５１ｃ…スイッチセル配置部
５２…配線部
５２ａ…クロック配線部
５２ｂ…一般配線部
５３…スイッチセル最適化部
７０、７０ａ～７０ｇ…仮想グラウンド線
９０～９３…スイッチ端子
２０２…タイミング制約判定部
２０３…オン抵抗算出部
２０４…放電時間算出部
２０５…上限電位算出部
２１１ａ、２１１ｂ、２２１ａ…入力端子
２１１ｃ、２２１ｂ…出力端子
２１１ｄ、２２１ｃ…グラウンド端子
２２０ａ～２２０ｃ…インバータ
２３０…スイッチセル
２４０ａ～２４０ｄ…配線
３１０…仕様情報格納領域
３２０…タイミング制約格納領域
３３０ａ、３３０ｂ…上限電位格納領域
３４０…第１セルライブラリ格納領域
３５０…第２セルライブラリ格納領域
３６０…ネットリスト格納領域
３７０…配置データ格納領域
３８０…レイアウト格納領域
３９０…配線パラメータ格納領域
４００…許容遅延時間格納領域
４１０…オン抵抗格納領域
４２０…低閾値セル遅延時間格納領域
５１０ａ…抵抗最小化部
５２２…仮想グラウンド線最適化部
７００，７０１…仮想グラウンド線
Ｔｒ１～Ｔｒ１５…スイッチセル

【書類名】図面

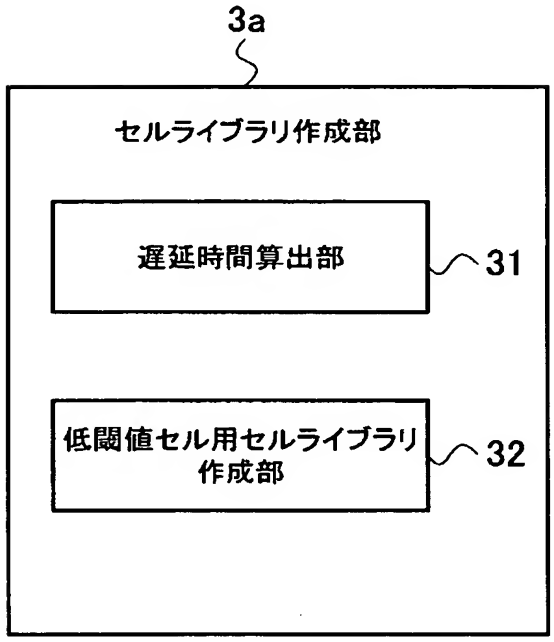
【図１】


1a 回路自動設計装置
10a
処理装置
41
入力装置
42
出力装置
43
補助記憶装置
44
主記憶装置
設定部
2a
セルライブラリ作成部
3
論理合成部
4
配置配線部
5a
タイミング解析部
6
30a
データ
記憶装置

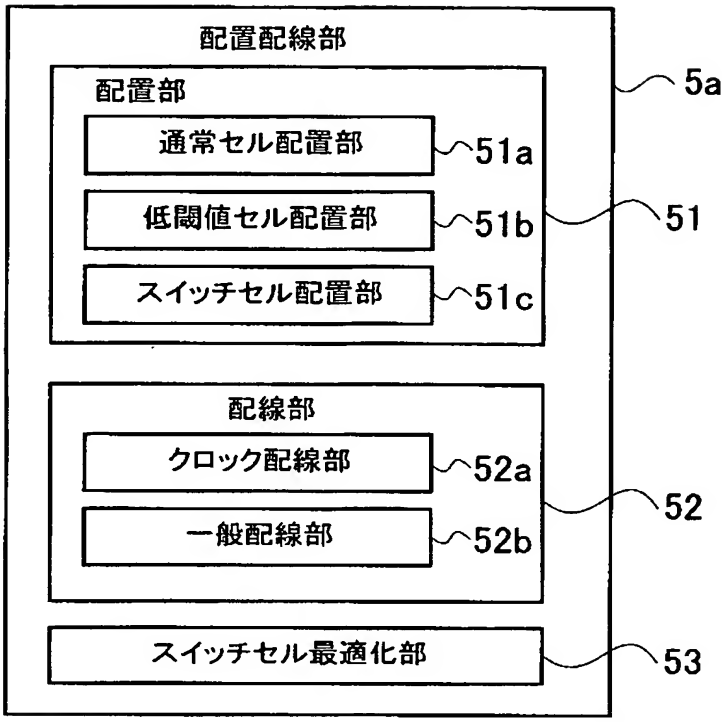
【図２】


2a
設定部
データ取得部
21a
上限電位設定部
22

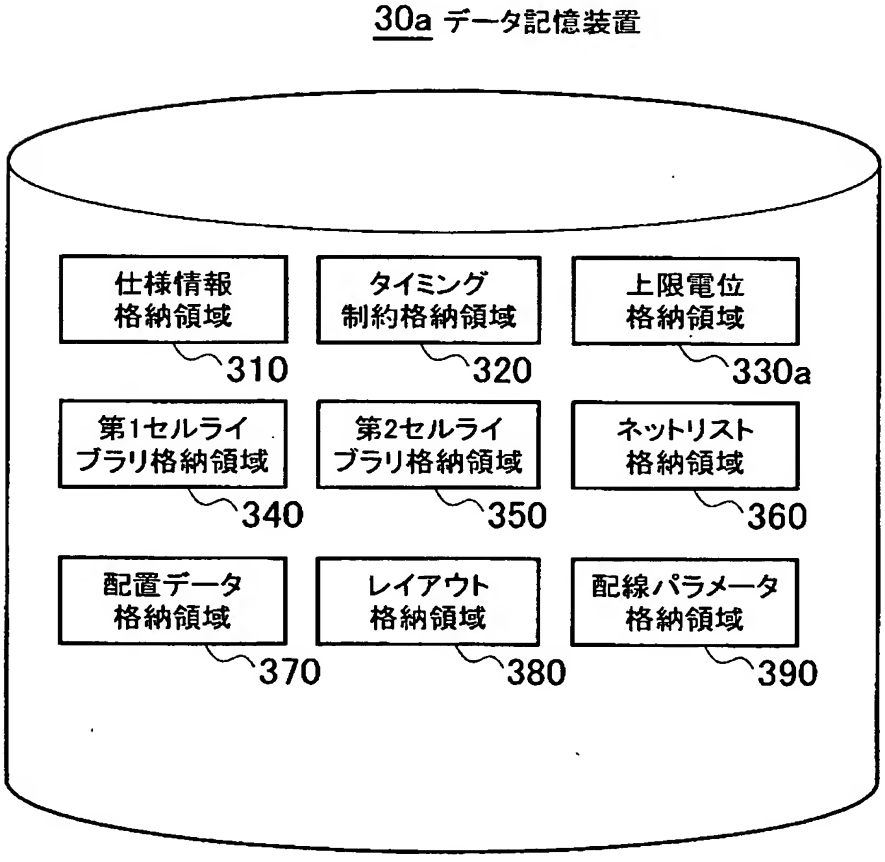
【図３】


3a
セルライブラリ作成部
遅延時間算出部
31
低閾値セル用セルライブラリ作成部
32

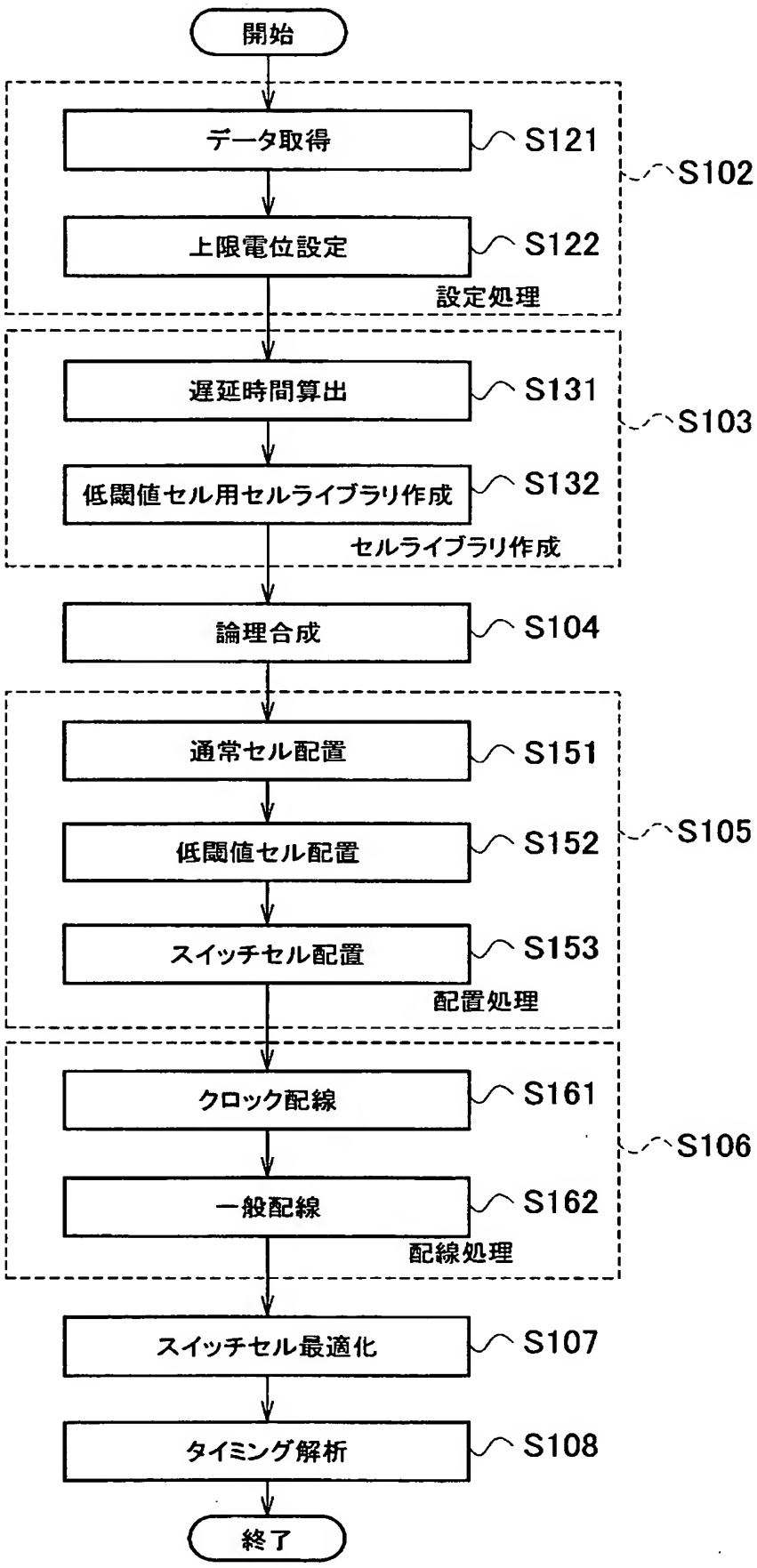
【図４】


配置配線部
配置部
通常セル配置部
51a
低閾値セル配置部
51b
スイッチセル配置部
51c
51
5a
配線部
クロック配線部
52a
一般配線部
52b
52
スイッチセル最適化部
53

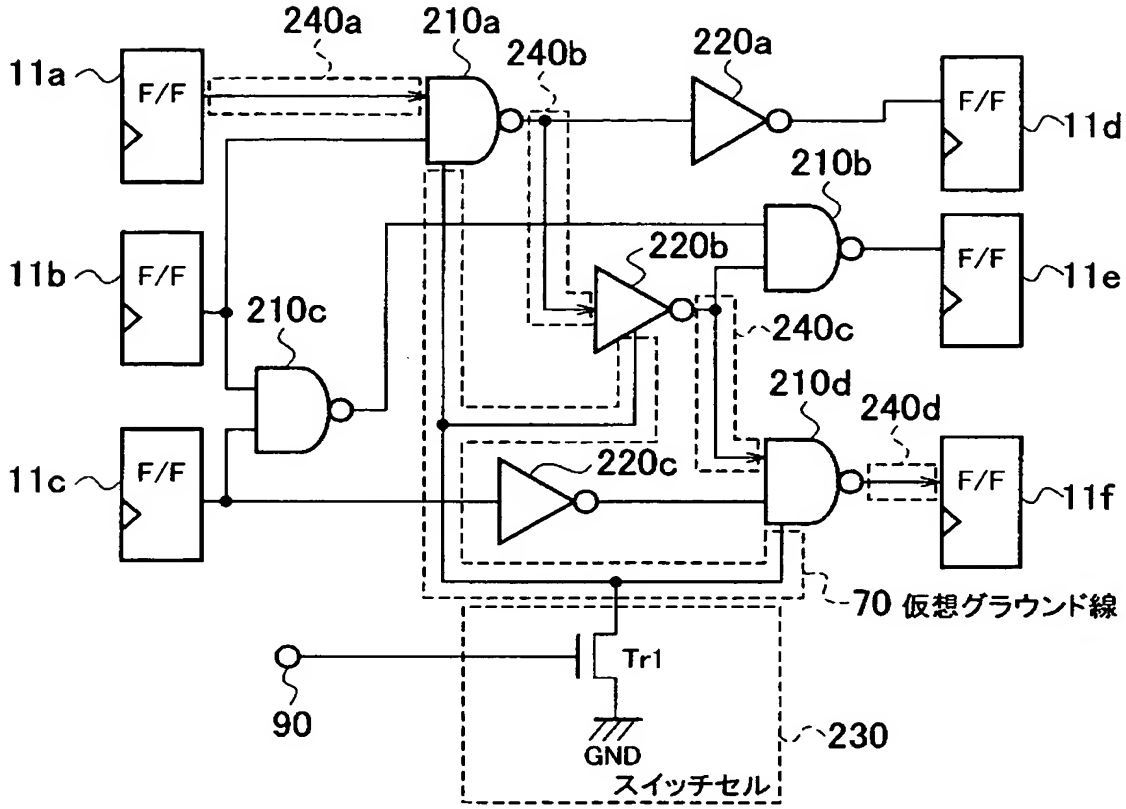
【図５】


30a データ記憶装置
仕様情報格納領域
310
タイミング制約格納領域
320
上限電位格納領域
330a
第1セルライブラリ格納領域
340
第2セルライブラリ格納領域
350
ネットリスト格納領域
360
配置データ格納領域
370
レイアウト格納領域
380
配線パラメータ格納領域
390

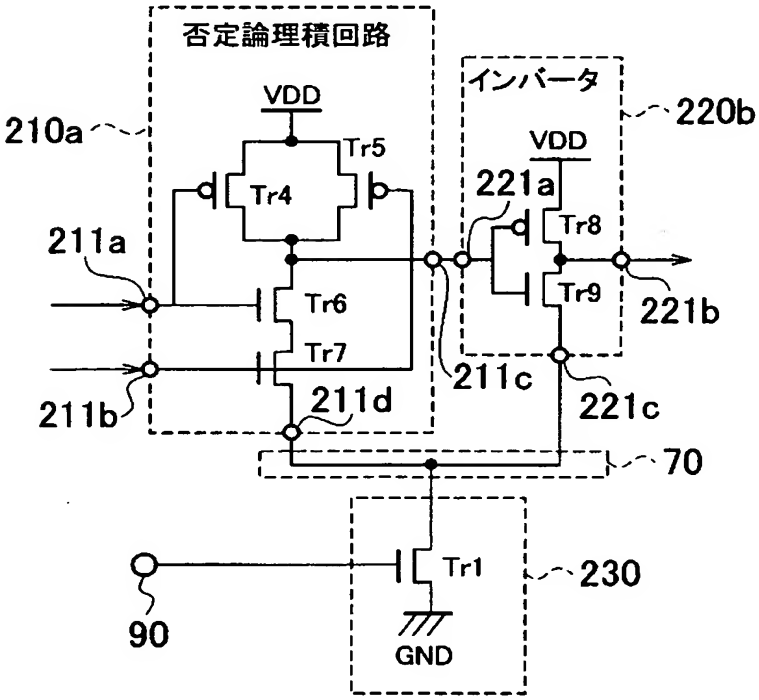
【図６】


開始
データ取得
S121
上限電位設定
S122
設定処理
S102
遅延時間算出
S131
低閾値セル用セルライブラリ作成
S132
セルライブラリ作成
S103
論理合成
S104
通常セル配置
S151
低閾値セル配置
S152
スイッチセル配置
S153
配置処理
S105
クロック配線
S161
一般配線
S162
配線処理
S106
スイッチセル最適化
S107
タイミング解析
S108
終了

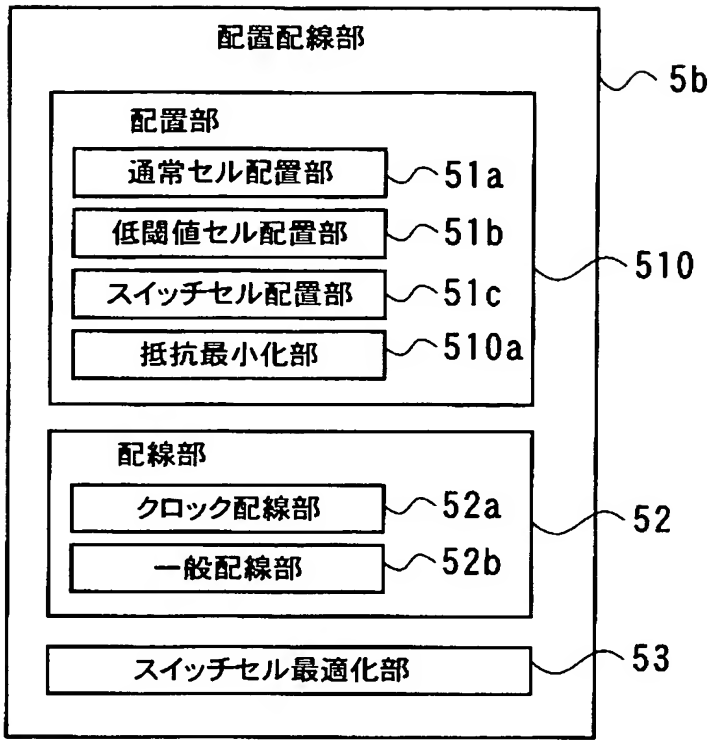
【図７】


240a
210a
240b
220a
11a
F/F
F/F
11d
210b
11b
F/F
220b
F/F
11e
210c
240c
210d
240d
11c
F/F
220c
F/F
11f
70 仮想グラウンド線
Tr1
90
GND
230
スイッチセル

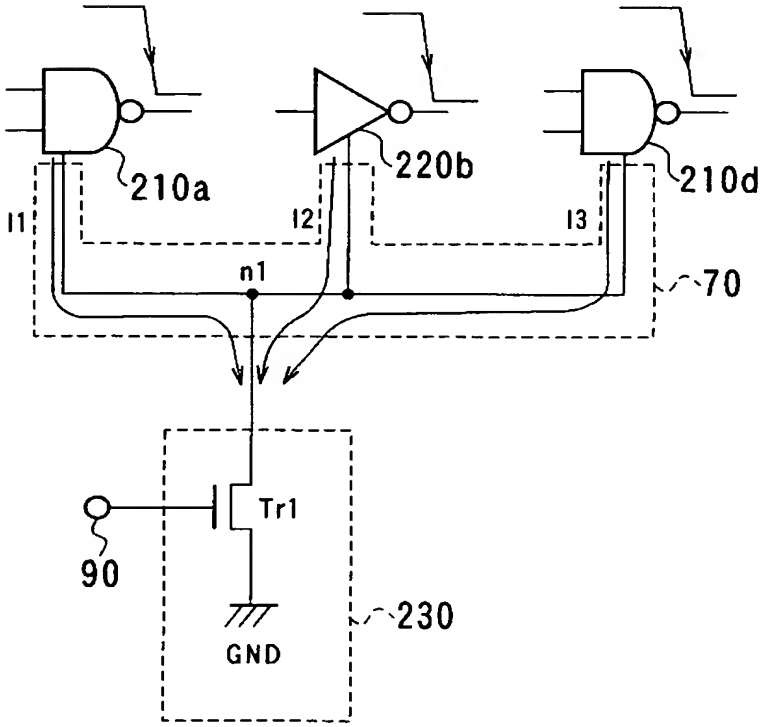
【図８】


否定論理積回路
インバータ
VDD
210a
Tr5
VDD
220b
Tr4
221a
211a
Tr8
Tr6
Tr9
221b
Tr7
211c
211b
211d
221c
70
Tr1
230
90
GND

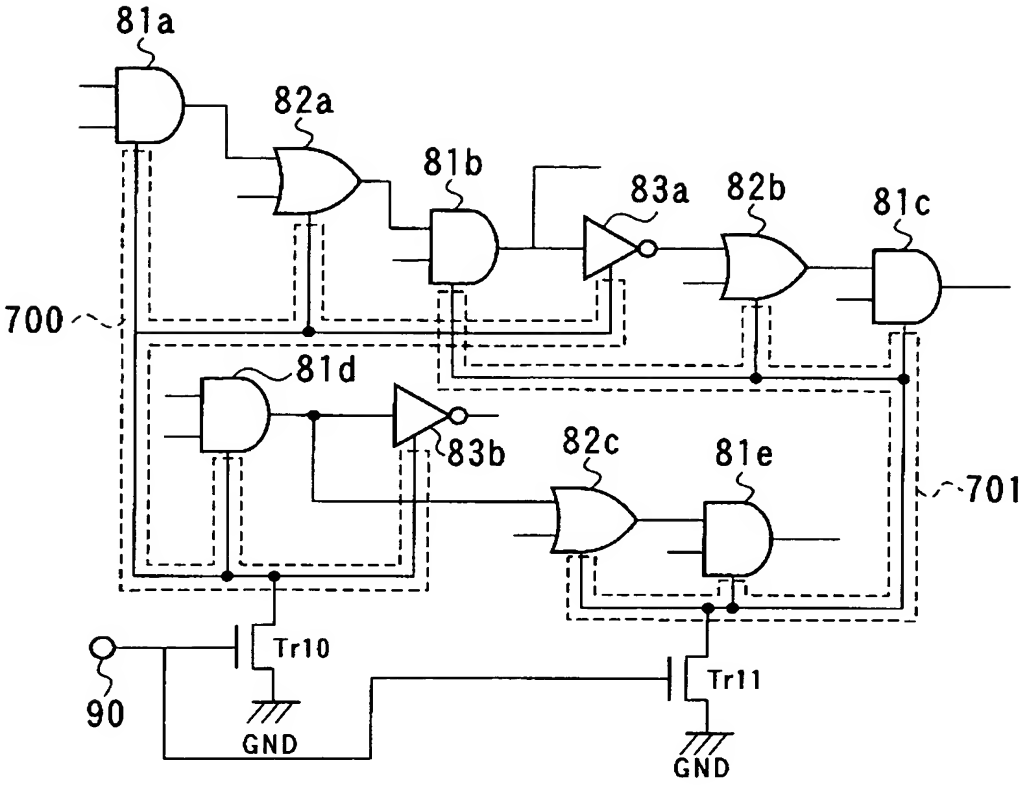
【図９】


配置配線部
5b
配置部
通常セル配置部
51a
低閾値セル配置部
51b
スイッチセル配置部
51c
510
抵抗最小化部
510a
配線部
クロック配線部
52a
52
一般配線部
52b
スイッチセル最適化部
53

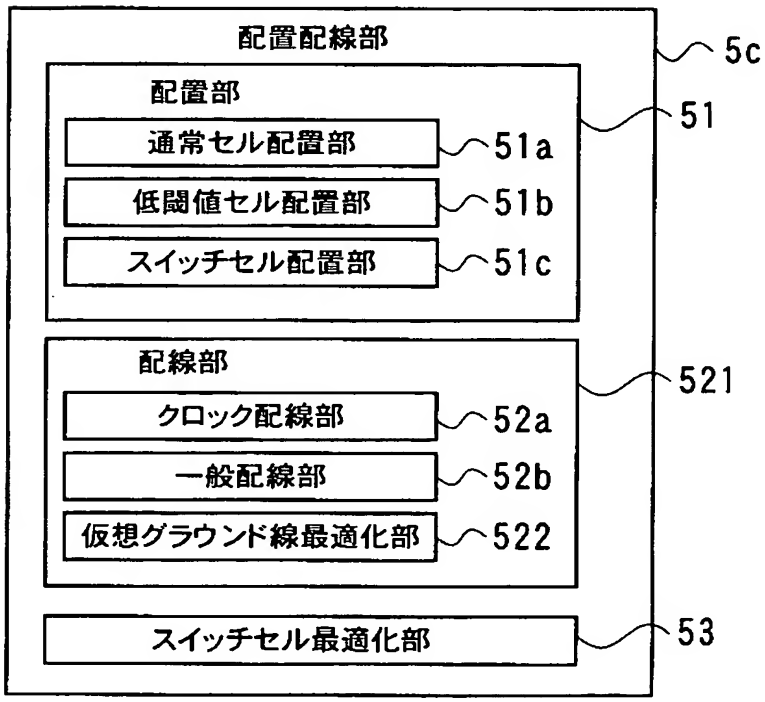
【図１０】


210a
220b
210d
I1
I2
I3
n1
70
Tr1
90
230
GND

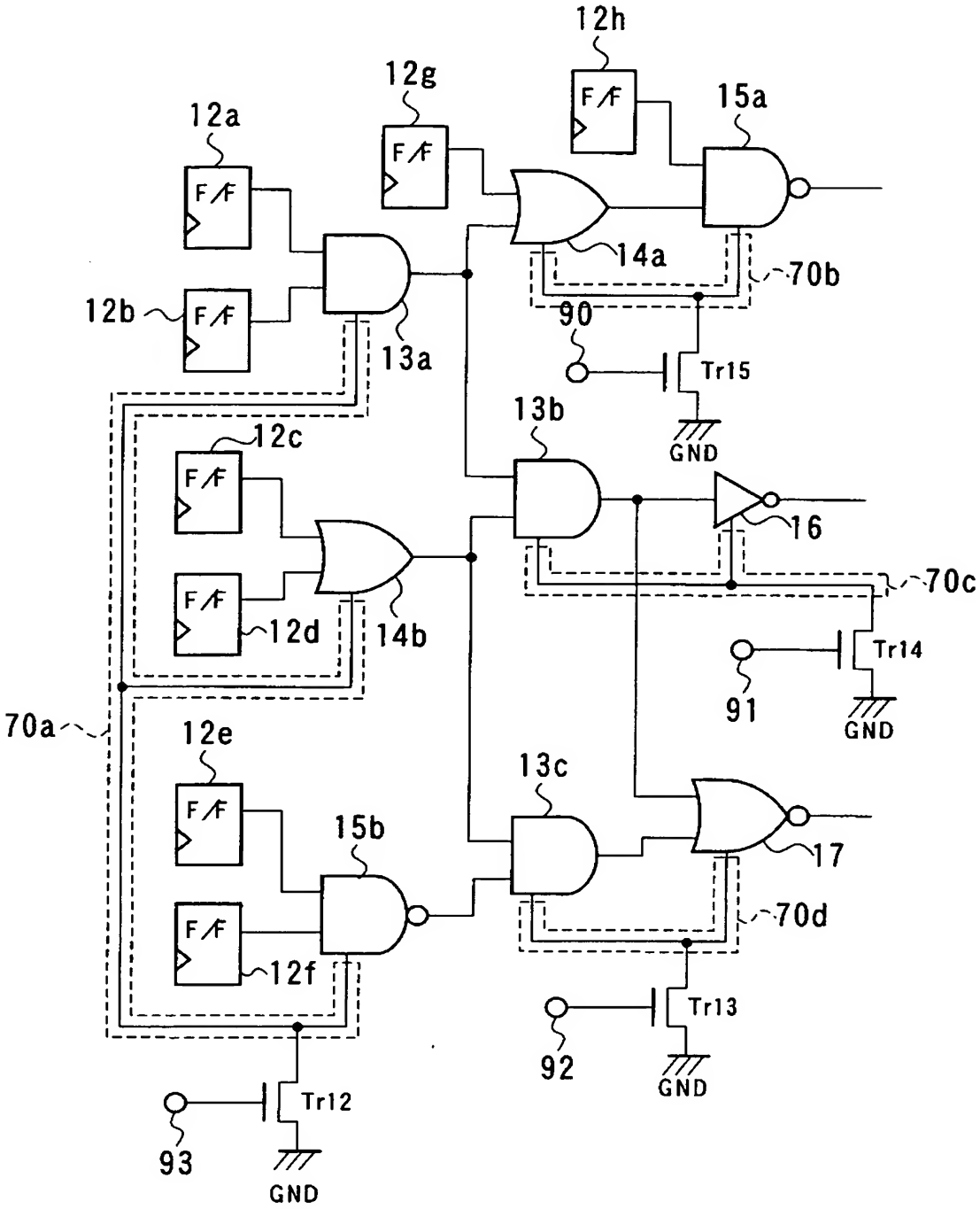
【図１１】


81a
82a
81b
83a
82b
81c
700
81d
83b
82c
81e
701
Tr10
Tr11
90
GND
GND

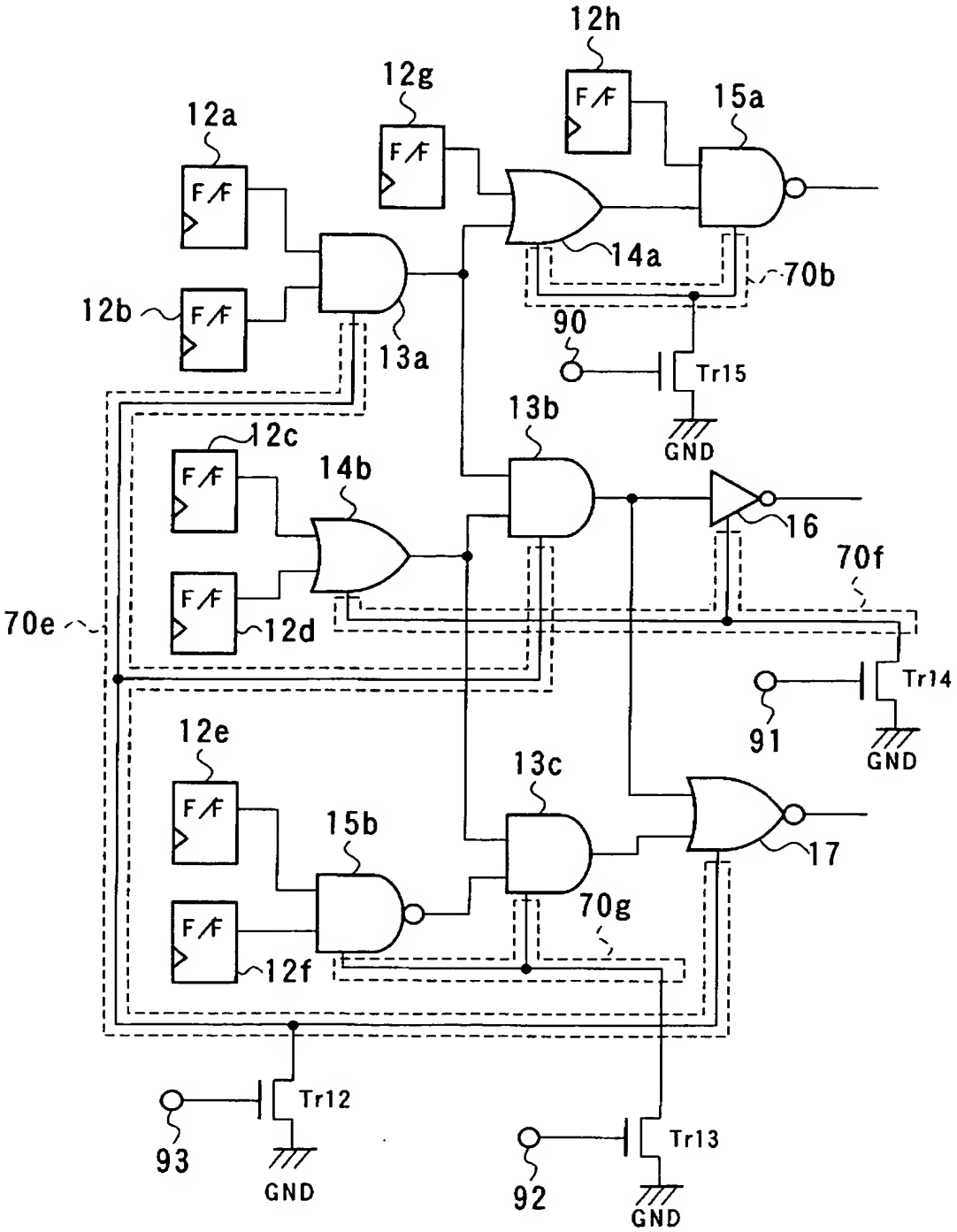
【図１２】


配置配線部
5c
配置部
51
通常セル配置部
51a
低閾値セル配置部
51b
スイッチセル配置部
51c
配線部
521
クロック配線部
52a
一般配線部
52b
仮想グラウンド線最適化部
522
スイッチセル最適化部
53

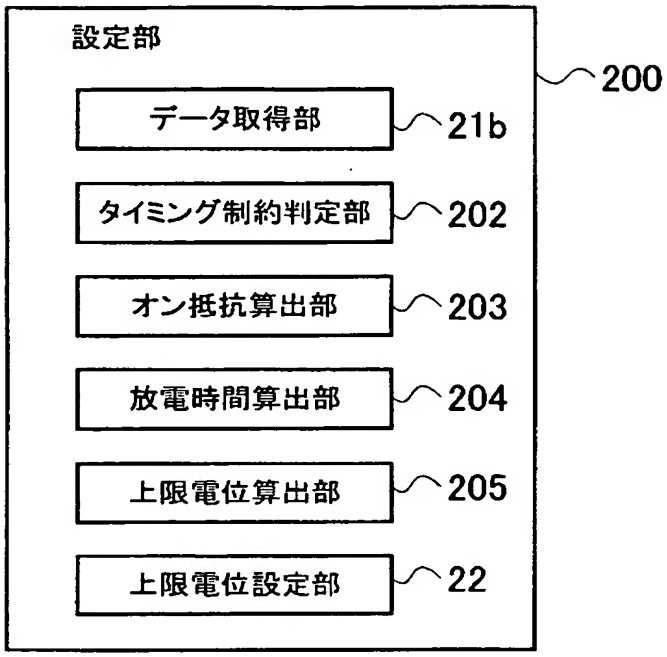
【図１３】


12h
12g
12a
F/F
15a
14a
70b
12b
13a
90
Tr15
GND
13b
12c
16
70c
14b
12d
Tr14
91
GND
70a
12e
13c
15b
17
70d
12f
Tr13
92
GND
Tr12
93
GND

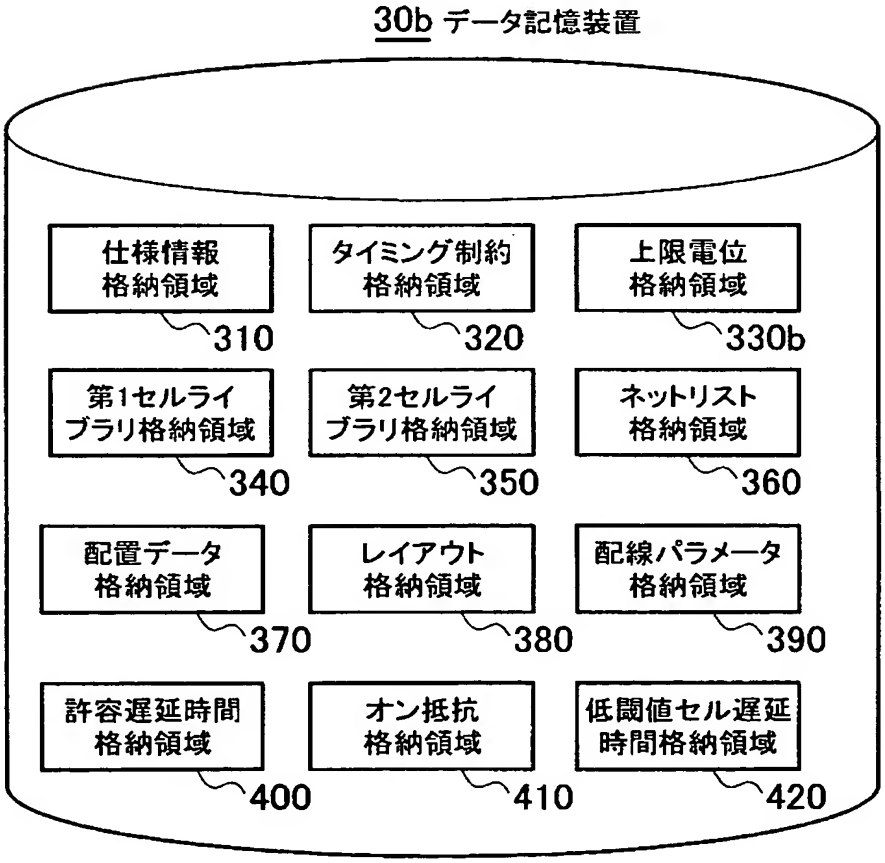
【図１４】


12h
12g
12a
F/F
15a
14a
70b
12b
13a
90
Tr15
GND
13b
12c
14b
16
70f
70e
12d
Tr14
91
GND
12e
13c
15b
17
70g
12f
Tr12
93
GND
Tr13
92
GND

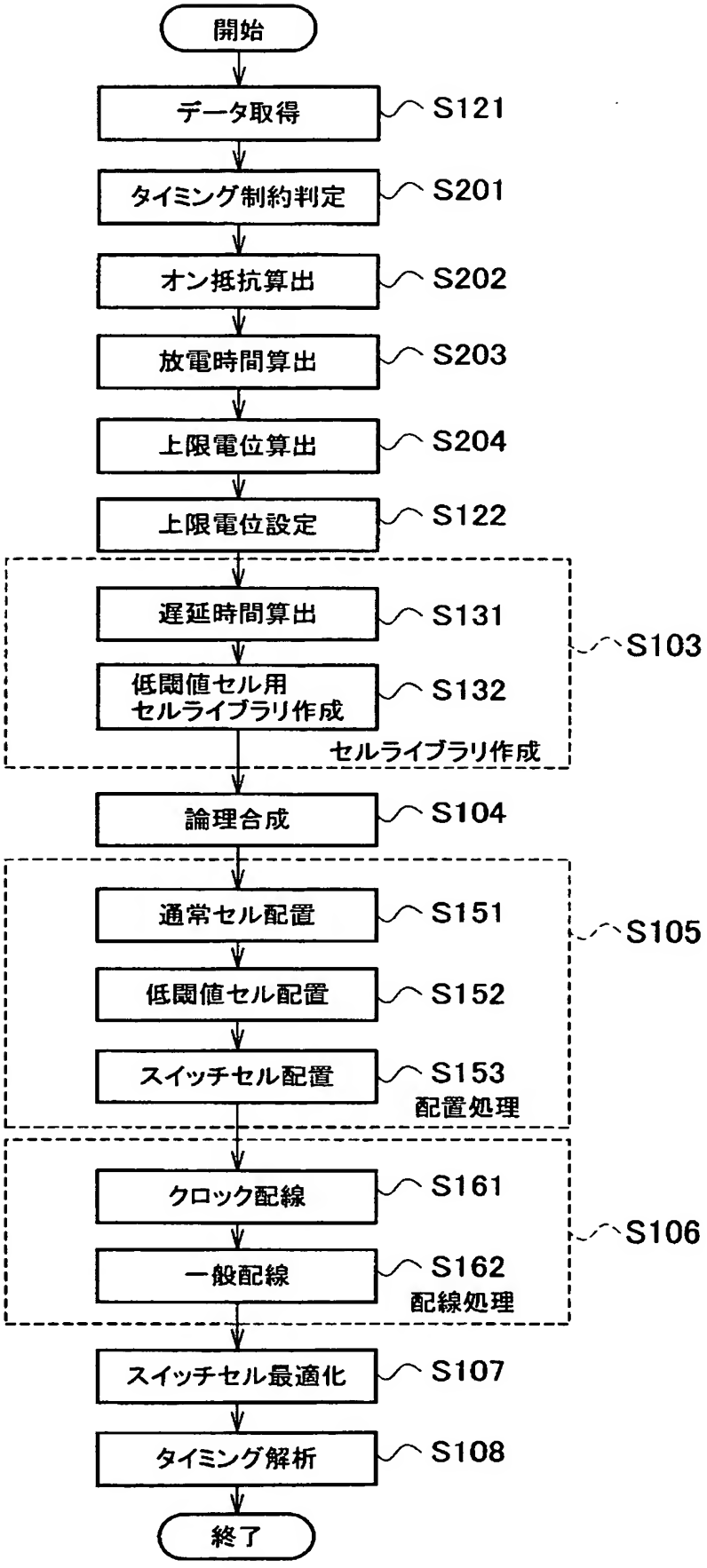
【図１５】


設定部
200
データ取得部
21b
タイミング制約判定部
202
オン抵抗算出部
203
放電時間算出部
204
上限電位算出部
205
上限電位設定部
22

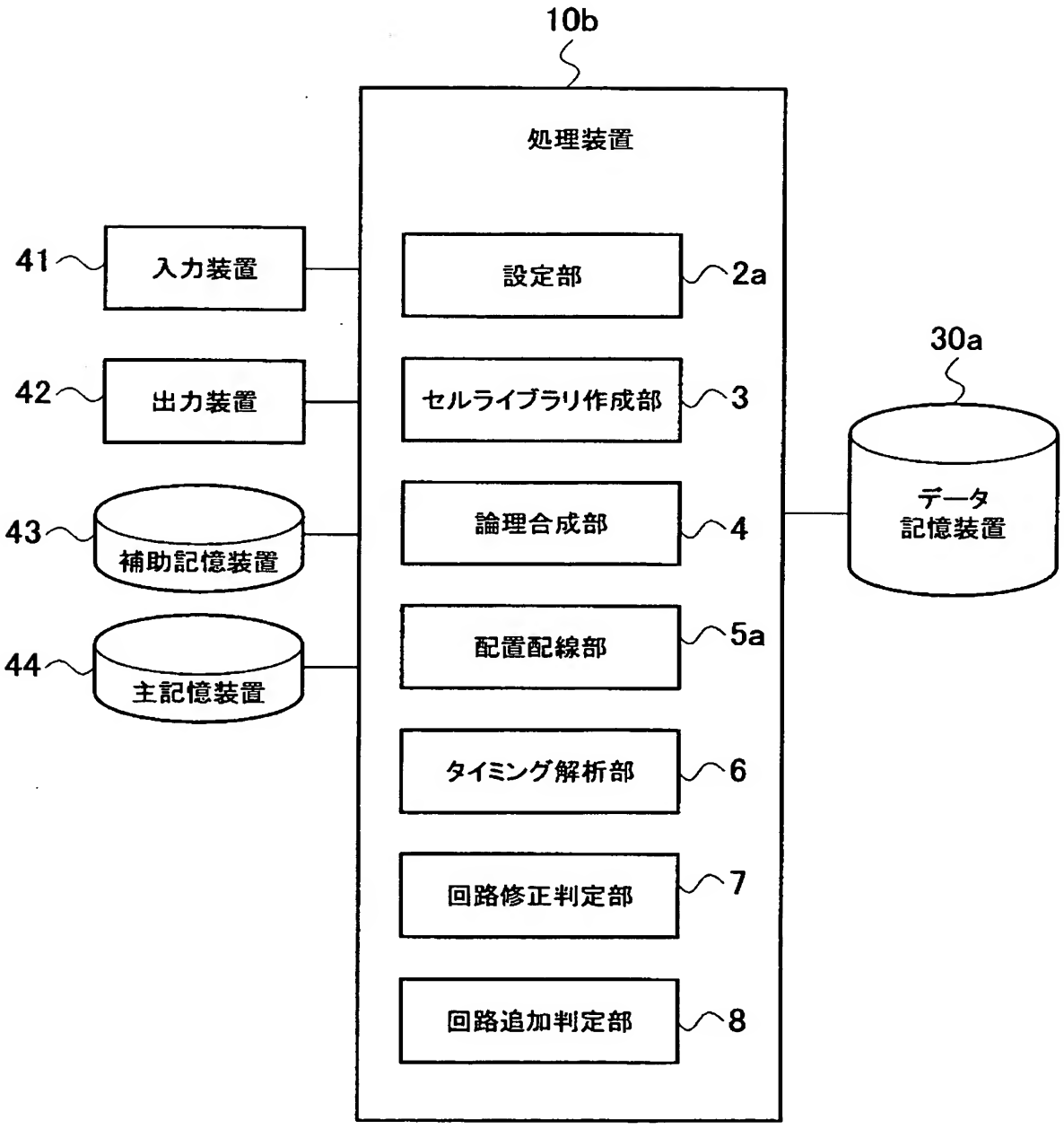
【図１６】


30b データ記憶装置
仕様情報格納領域
310
タイミング制約格納領域
320
上限電位格納領域
330b
第1セルライブラリ格納領域
340
第2セルライブラリ格納領域
350
ネットリスト格納領域
360
配置データ格納領域
370
レイアウト格納領域
380
配線パラメータ格納領域
390
許容遅延時間格納領域
400
オン抵抗格納領域
410
低閾値セル遅延時間格納領域
420

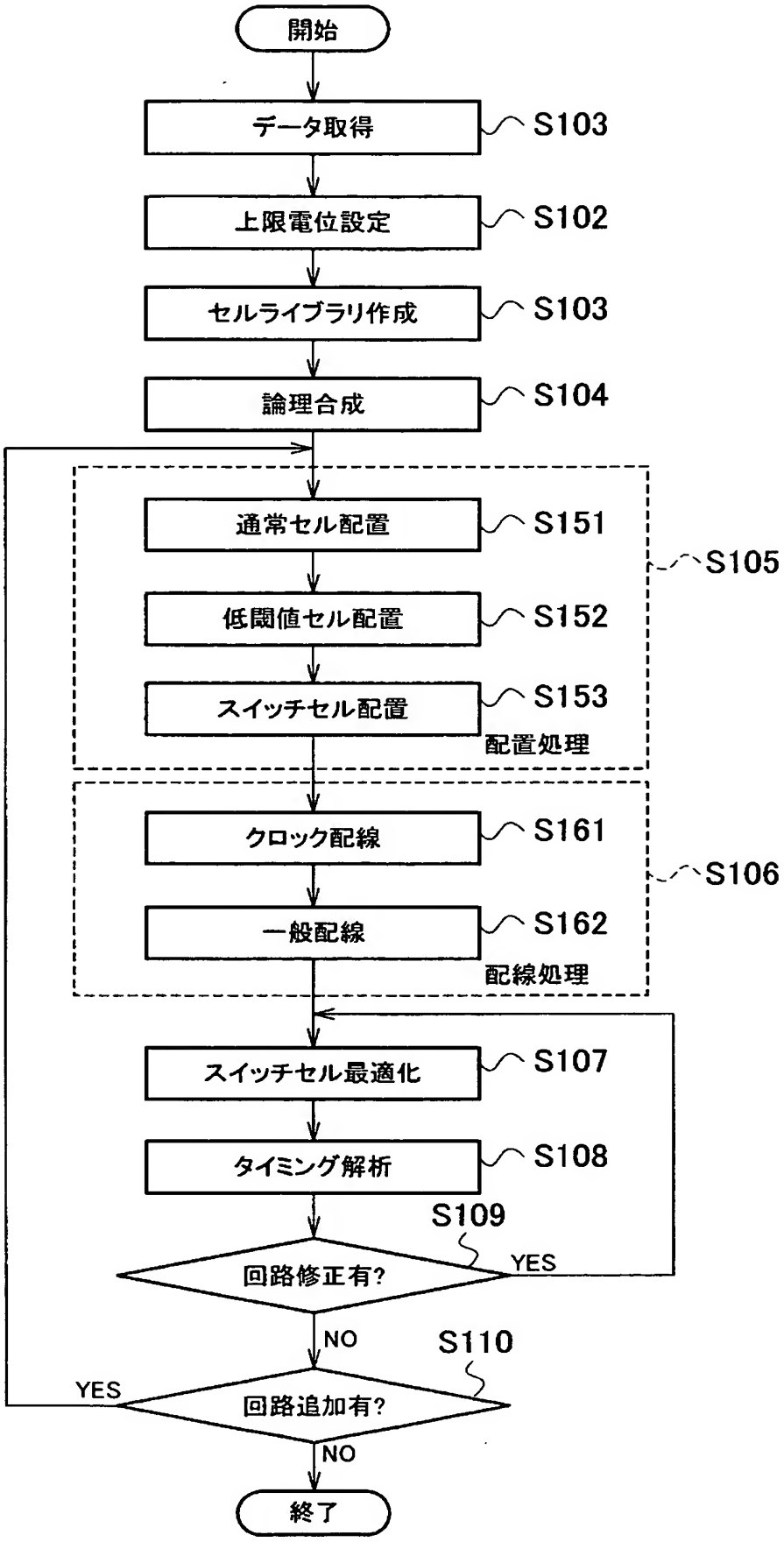
【図１７】


開始
データ取得
S121
タイミング制約判定
S201
オン抵抗算出
S202
放電時間算出
S203
上限電位算出
S204
上限電位設定
S122
遅延時間算出
S131
低閾値セル用
セルライブラリ作成
S132
セルライブラリ作成
S103
論理合成
S104
通常セル配置
S151
低閾値セル配置
S152
スイッチセル配置
S153
配置処理
S105
クロック配線
S161
一般配線
S162
配線処理
S106
スイッチセル最適化
S107
タイミング解析
S108
終了

【図１８】


1b 回路自動設計装置
10b
処理装置
41
入力装置
42
出力装置
43
補助記憶装置
44
主記憶装置
設定部
2a
セルライブラリ作成部
3
論理合成部
4
配置配線部
5a
タイミング解析部
6
回路修正判定部
7
回路追加判定部
8
30a
データ
記憶装置

【図１９】


開始
データ取得
S103
上限電位設定
S102
セルライブラリ作成
S103
論理合成
S104
通常セル配置
S151
低閾値セル配置
S152
スイッチセル配置
S153
配置処理
S105
クロック配線
S161
一般配線
S162
配線処理
S106
スイッチセル最適化
S107
タイミング解析
S108
S109
回路修正有?
YES
NO
S110
回路追加有?
YES
NO
終了

【書類名】要約書
【要約】
【課題】　小回路規模且つ低消費電力動作可能な半導体集積回路を短期間で設計可能な回路自動設計装置を提供する。
【解決手段】　通常セル用セルライブラリ及び設計対象回路の仕様情報を取得し、設計対象回路における仮想グラウンド線の上限電位を設定する設定部２ａ、上限電位を用いて低閾値セル用セルライブラリを作成するセルライブラリ作成部３、仕様情報を論理合成してネットリストを生成する論理合成部４、ネットリスト、通常セル用セルライブラリ、及び低閾値セル用セルライブラリに基づきレイアウトを作成する配置配線部５ａを備える。
【選択図】　図１

特願２００３－３７０９４２

出　願　人　履　歴　情　報

識別番号　　［０００００３０７８］

１．変更年月日　　２００１年　７月　２日
［変更理由］　　住所変更
住　所　　東京都港区芝浦一丁目１番１号
氏　名　　株式会社東芝

特願２００３－３７０９４２

出　願　人　履　歴　情　報

識別番号　　［０００２２１１９９］

１．変更年月日　　１９９０年　８月２３日
［変更理由］　　新規登録
住　所　　神奈川県川崎市川崎区駅前本町２５番地１
氏　名　　東芝マイクロエレクトロニクス株式会社